

PU020353 (JP647714) ON 7798

(19) Japan Patent Office (JP)

(11) Patent pending publication

12. Patent pending publication (A) 64-7714

(51) Int.Cl.⁵ Identification number Control number
H 03 L 7/14 A-8731-5J

(43) Publication from 1989-1-11

Inspection Application

Application paragraphs in total – 1 (overall 4 pages)

54. Inventions name – CLOCK SYNCHRONIZATION
CIRCUIT

21. Application number – 62-161264

22. Application date – 1987-6-30

72. Inventor – KOIZUMI YUTAKA; Tokyo-to, Minato-ku,
Shiba 5-chome 33-1, NEC CORP.

71. Applicant – NEC CORP., Tokyo-to, Minato-ku, Shiba 5-
chome 33-1

74. Representative – SUZUKI AYAMI, Patent attorney

Specification

1. Inventions name

CLOCK SYNCHRONIZATION CIRCUIT

2. Patent application field

(1) The clock synchronization circuit provides the full-wave rectifying circuit inputting the base-band signal demodulated by the N-value PSK, QAM modulating system, the band-pass filter connected to the mentioned full-wave rectifying circuit, the phase comparator providing the first the input signal as the output signal of the band-

REF.	AC	PU020353
COUNTRY	JAPAN	
CORRES.	US/UK	

bass filter and the second input signal as the voltage control oscillator output signal generating the clock signal, and the low-bass filter connected to the output of the mentioned phase comparator; and, within the clock synchronization circuit, controlling the phase and frequency of the output signal of the mentioned voltage control oscillator by means of the mentioned low-bass filter output signal, has the detector providing the detection of the output signal of the band-bass filter or the mentioned full-wave rectifying circuit and the switch circuit providing the supply to the mentioned low-bass filter or voltage control oscillator selecting the mentioned phase comparator output signal or the fixed voltage signal, where the mentioned detector has the fixed voltage selected within the mentioned switch circuit in case if it is detected by the detector that there is no output signal.

3. Detailed description of the invention

[Technical field]

The titled invention corresponds to the clock synchronizing circuit within the conventional reception part demodulator of the N-value PSK or QAM modulating system.

[Conventional technique]

Graph 3 indicates the example of the clock synchronizing circuit within the conventional technique type demodulator.

The modulation wave modulated by N-value PSK, QUAM modulation is synchronized by means of the reproduction carrier wave, becoming the base-band signal P, Q. The base-band signal P, Q have the clock component being

respectively extracted by means of respective full-wave rectifying circuit 1, and synthesized by means of synthesizing circuit 2. The synthesized signal is inputted towards the phase comparator 4 having the jitter synthesizing suppressed within the band-pass filter 3, and the phase and the output signal from the voltage control oscillator being compared. The mentioned output signal has the high frequency component eliminated with the voltage control oscillator 6 controlled by the APC signal.

[The problem to be solved by the titled invention]

Within the phase synchronization circuit mentioned in above, the output from the voltage control oscillator 6 has the leak to the clock component extraction circuit part being generated, thus the free-run frequency could be increased by the fixed value, and in such case, the input signal is being imprinted, thus making up the problem of the synchronization pull-in time being increased. Especially within the multiple value QAM modulation system, due to restraining of the extraction clock AM component, the remitter circuit is necessary and the APC signal amplifier with a high gain having the loop gain of the synchronization loop preventing the characteristic degradation by means of the phase converting, and in such case the free-run in the time moment of no-signal is becoming longer, thus the synchronising pull-in is being increased.

The titled invention is oriented to provide the clock synchronization circuit enabling the short time synchronization pull-in.

[Technique used to solve the problem]

The titled invention clock synchronization circuit within the demodulation clock synchronization circuit and the N-value PSK and QAM modulation system providing the clock synchronization circuit, full-wave rectifying circuit, band-pass filter, phase comparator, low-pass filter and voltage control oscillator; includes the detector providing the detection of the output signal within the band-pass filter or within the full-wave rectifying circuit, and the switch circuit providing the selection of the phase converter output signal or fixed voltage signal and supplying it to the mentioned low-pass filter and the voltage control oscillator; and enables the quick pull-in, selecting the fixed voltage signal within the switch circuit when the absence of the output signal is detected by the detector, and maintaining the free-run frequency defined value to the voltage control oscillator when the absence of the input signal is detected.

[Practical example]

In the following, the detailed explanation providing the graphs corresponding to the titled invention will be given.

Graph 1 is the block graph of the 1st practical example of the titled invention. Graph 3 uses the same coding as graph 1.

Within the graph 1, there is a base-band signal P, Q of the modulated frequency N-value PSK, QAM. The base-band signal P, Q have the clock component extracted by means of the respective full-wave rectifying circuit 1, and combined by means of the combined circuit 2. The combined signal is inputted to the phase comparator 4 having extracted the jitter component within the band-pass filter 3, and the phase comparing with the output signal from the voltage control

oscillator 6 is provided. Such output signal is inputted to the switch circuit 8.

Such switch circuit 8 has the output signal of the phase comparator 4 and the output signal of the fixed voltage generating circuit providing the fixed voltage, with the free-run frequency defined within the voltage control oscillator 6 being maintained, as the input signals, and provides the output selecting one of them by means of the control signal from the level detector.

Moreover, the mentioned level detector 7 and switch circuit 8 could be provided with the newer technique than in case of conventional ones.

In such circuit, in case when input signal is imprinted, the normal base-band signal is demodulated, and the signal component within the output of the combined circuit 2 and the full-wave rectifying circuit is detected by the level detector 7, outputted as, for example, the logic level “1”, and supplied to the switch circuit 8. The switch circuit 8 has the input signal from the phase comparator selected by means of the detection result “1” in case of the presence of such input signal, and outputted to the low-pass filter 3 or to the voltage control oscillator 6, so the phase synchronization operating, same as explained in the conventional technique, is provided.

Next, in case of the absence of the input signal, the output of the level detector 7 is set to 0, and the switch circuit 8 has the input signal from the fixed voltage generating circuit being selected and outputted. Due to such operation, the free-run frequency of the voltage control oscillator 6 is maintained at the defined value.

Consequently, it is possible to maintain the defined free-run frequency value of the voltage control oscillator output, especially when the input signal is not detected, so, it is possible to provide the short pull-in time clock synchronization.

Graph 2 is the block graph of the other practical example of the titled invention. It has the same coding as the graph 1 for the shorter explanation.

In this practical example, along with the limiter circuit 10 being set for the oppression of the AM component of the extraction clock between the band-pass filter 3 and the phase comparator 4, the level detector 7 is connected to the band-pass filter 4 output. Moreover, after the switch circuit 8, the high-gain APC signal amplifier 11, increasing the synchronization loop gain in order to maintain the characteristic degradation by the phase oscillating, is provided. Then, the amplifier 11 output is applied through the inverter as a switch circuit 8 other side input.

Due to such structure, the level detector 7 could provide the detection of the presence or absence of the extraction clock components, not regarding to the limiter circuit 10 and APC signal amplifier 11 being set, thus it is possible to obtain the short pull-in time when the input signal absence is detected equally as in the mentioned 1st practical example.

[Results of the titled invention]

The titled invention by means of the detector detects the presence or absence of the output signal of the full-wave rectifying circuit as the demodulated base-band signal or the output of the band-pass filter connected to the mentioned full-wave rectifying circuit, and by means of the switch circuit selecting and supplying the fixed voltage signal to the low-

pass filter or the voltage control oscillator when the absence of the output signal is detected, makes it possible to provide the suppression of the free-run frequency within the voltage control oscillator, thus obtaining the pull-in of a short time.

4. Graph brief explanation

Graph 1 is the block graph indicating the 1st practical example of the titled invention, graph 2 is the block graph indicating the other practical example of the titled invention, graph 3 is the block graph indicating the conventional technique example.

1. Full-wave rectifying circuit
2. Combined circuit
3. Band-pass filter
4. Phase comparator
5. Low-pass filter
6. Voltage control oscillator
7. Level detector
8. Switch circuit
9. Fixed voltage generating circuit
10. Limiter circuit
11. APC signal amplifier
12. Inverter

74. Representative – SUZUKI AYAMI, Patent attorney

⑫ 公開特許公報 (A)

昭64-7714

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月11日

H 03 L 7/14

A-8731-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 クロック同期回路

⑮ 特 願 昭62-161264

⑯ 出 願 昭62(1987)6月30日

⑰ 発 明 者 小 泉 裕 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

クロック同期回路

2. 特許請求の範囲

(1) N値PSK, QAM変調方式の復調されたベースバンド信号を入力とする全波整流回路と、この全波整流回路に接続される狭帯域ろ波器と、この狭帯域ろ波器の出力信号を第1の入力信号としクロック信号を発生する電圧制御発振器の出力信号を第2の入力信号とする位相比較器と、この位相比較器の出力に接続される低域ろ波器とを備え、この低域ろ波器の出力信号により前記電圧制御発振器の出力信号の周波数及び位相を制御するクロック同期回路において、前記全波整流回路又は狭帯域ろ波器の出力信号の有無を検出する検出器と、前記位相比較器の出力信号又は一定電圧信号を選択して前記低域ろ波器及び電圧制御発振器に供給するスイッチ回路とを有し、前記検出器が出力信号が無いことを検出したときに前記スイッチ回路において一定電圧信号を選択するように構

成したことを特徴とするクロック同期回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はN値PSK, QAM変調方式の受信側復調器におけるクロック同期回路に関する。

(従来の技術)

従来のこの種復調器におけるクロック同期回路の一例を第3図に示す。

N値PSK, QAM変調された変調波は、再生搬送波により同期検波され、ベースバンド信号P, Qとなる。ベースバンド信号P, Qは夫々全波整流回路1によりクロック成分が抽出され、合成回路2により合成される。合成された信号は狭帯域ろ波器3においてジッタ成分が抑圧されて位相比較器4へ入力され、電圧制御発振器6からの出力信号と位相比較される。その出力信号は低域ろ波器5により高周波成分が除去されて電圧制御発振器6を制御するAPC信号となる。

(発明が解決しようとする問題点)

上述した位相同期回路においては、電圧制御発

振器6からの出力が、クロック成分抽出回路部へリークを生じるために、入力信号がない時のフリーラン周波数が所定の値より大きくずれることがあり、このような状態で入力信号が印加されると、同期引き込み時間が長くなってしまいう問題点を有する。特に多値QAM変調方式においては、抽出クロックのAM成分抑制のため、リミッタ回路を必要とし、また位相変動による特性劣化を防ぐため同期ループのループ利得を高める高利得のAPC信号増幅器が必要とされることがあり、このような場合、入力信号のない時のフリーランずれが、さらに拡大され同期引き込み時間も長くなる。

本発明は短時間に同期引き込みを可能としたクロック同期回路を提供することを目的としている。
〔問題点を解決するための手段〕

本発明のクロック同期回路は、全波整流回路、狭帯域ろ波器、位相比較器、低域ろ波器、電圧制御発振器等を備えるN値PSK、QAM変調方式の復調器のクロック同期回路において、全波整流

される。その出力信号はスイッチ回路8に入力される。

このスイッチ回路8は、位相比較器4の出力信号と、電圧制御発振器6に所定のフリーラン周波数を与える一定電圧を発生する定電圧発生回路9の出力信号を入力信号とし、レベル検出器7からの制御信号により、いずれか一方を選択して出力する。

なお、前記したレベル検出器7やスイッチ回路8は、従来より知られている技術で実現できるものである。

この回路によれば、入力信号が印加されている場合、正常なベースバンド信号が復調され、全波整流回路1及び合成回路2の出力には信号成分が存在し、レベル検出器7により検出され、例えばロジックレベル“1”として出力され、スイッチ回路8に供給される。スイッチ回路8はこの入力信号がある場合の検出結果“1”により位相比較器4からの入力信号を選択して低域ろ波器5及び電圧制御発振器6に出力し、第3図で説明した従

回路又は狭帯域ろ波器の出力信号の有無を検出する検出器と、位相比較器の出力信号又は一定電圧信号を選択して前記低域ろ波器及び電圧制御発振器に供給するスイッチ回路とを有し、検出器が出力信号が無いことを検出したときにスイッチ回路において一定電圧信号を選択し、入力信号が無いときにおける電圧制御発振器に一定電圧を与えることよりフリーラン周波数を所定の値に保ち、短時間に引き込みを可能とするものである。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図は本発明の一実施例のブロック図であり、第3図と同一部分には同一符号を付している。

第1図において、N値PSK、QAM変調された変調波のベースバンド信号P、Qとなる。ベースバンド信号P、Qは夫々全波整流回路1によりクロック成分が抽出され、合成回路2により合成される。合成された信号は狭帯域ろ波器3においてジッタ成分が抑圧されて位相比較器4へ入力され、電圧制御発振器6からの出力信号と位相比較

来と同じ位相同期動作を行う。

次に、入力信号がない場合、レベル検出器7の出力は“0”となり、スイッチ回路8は定電圧発生回路9からの入力信号を選択して出力する。これにより、電圧制御発振器6のフリーラン周波数は所定の値に保たれる。

したがって、特に入力信号が無い状態において電圧制御発振器6の出力を所定のフリーラン周波数に保持でき、引き込み時間の短いクロック同期を実現できる。

第2図は本発明の他の実施例のブロック図であり、第1図と同一部分には同一符号を付してその説明は省略する。

この実施例では、狭帯域ろ波器3と位相比較器4の間に抽出クロックのAM成分抑圧のためのリミッタ回路10を設けるとともに、レベル検出器7を狭帯域ろ波器3の出力に接続している。また、スイッチ回路8の後段には、位相変動による特性劣化を防ぐために同期ループ利得を高める高利得のAPC信号増幅器11を設けている。そして、

この増幅器11の出力をインバータ12を通してスイッチ回路8の他方の入力として加えている。

この構成によれば、リミッタ回路10やAPC信号増幅器11を設けているにもかかわらず、レベル検出器7は抽出クロック成分の有無により入力変調信号の有無を検出することができ、前記した第1図の実施例と全く同様にして入力信号が無い状態での引き込み時間の短縮を実現できる。

〔発明の効果〕

以上説明したように本発明は、復調されたベースバンド信号を入力とする全波整流回路又はこの全波整流回路に接続される狭帯域ろ波器の出力信号の有無を検出器により検出し、この出力信号が無いことを検出ときにスイッチ回路により一定電圧信号を選択して低域ろ波器及び電圧制御発振器に供給しているので、電圧制御発振器におけるフリーラン周波数のずれを抑制し、引き込み時間の短いクロック同期回路を実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2

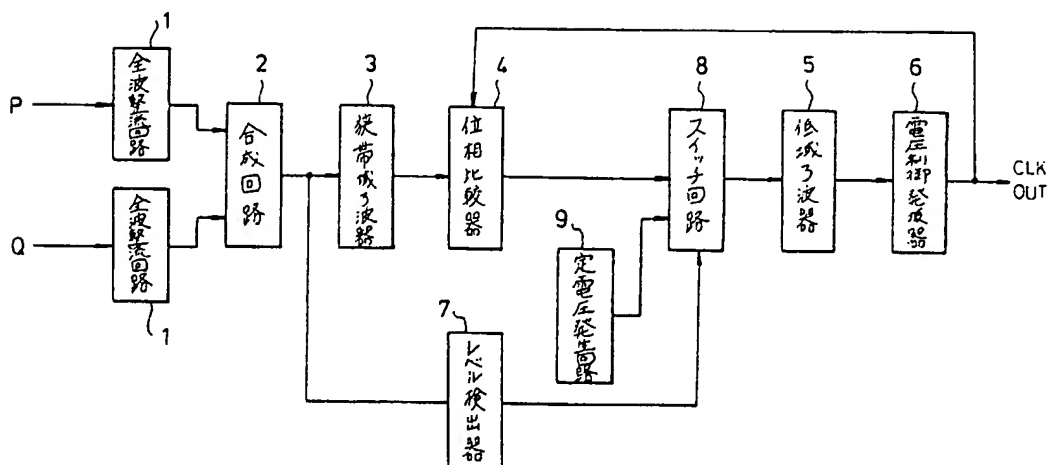
図は本発明の他の実施例のブロック図、第3図は従来例のブロック図である。

1…全波整流器、2…合成回路、3…狭帯域ろ波器、4…位相比較器、5…低域ろ波器、6…電圧制御発振器、7…レベル検出器、8…スイッチ回路、9…定電圧発生回路、10…リミッタ回路、11…APC信号増幅器、12…インバータ。

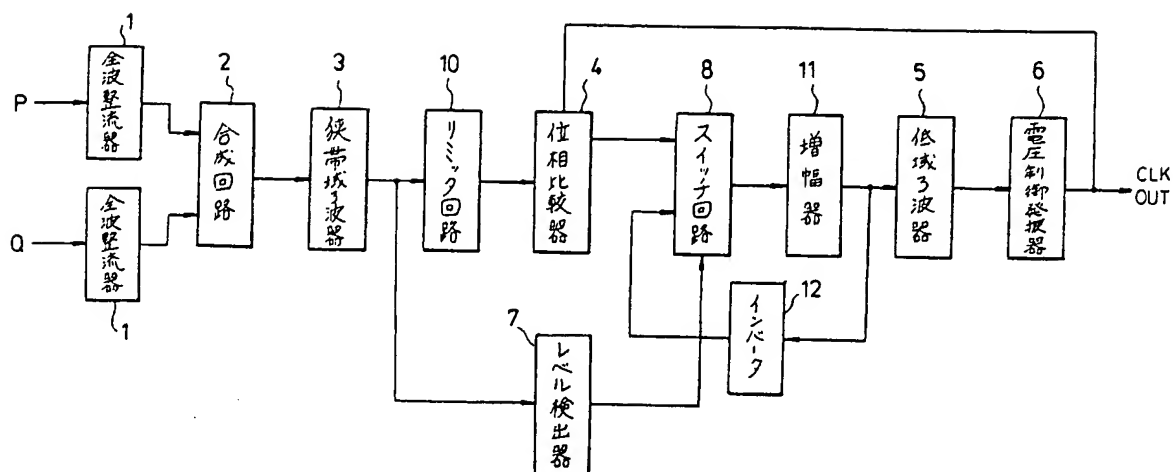
代理人 弁理士 鈴木 章



第1図



第 2 図



第 3 図

